

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Joun Ho LEE

GAU: TBA

SERIAL NO: New Application

EXAMINER: TBA

FILED: June 27, 2001

FOR: LIQUID CRYSTAL DISPLAY AND MANUFACTURING METHOD OF THE SAME

REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number [US App No], filed [US App Dt], is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
KOREA	P2000-81174	12/23/2000

Certified copies of the corresponding Convention Application(s)

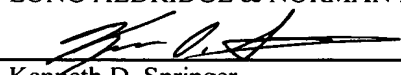
- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number .
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
(B) Application Serial No.(s)
 - ☐ are submitted herewith
 - ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

Date: June 27, 2001

LONG ALDRIDGE & NORMAN LLP

Sixth Floor
701 Pennsylvania Avenue, N.W.
Washington, D.C. 20004
Tel. (202) 624-1200
Fax. (202) 624-1298
79525.1


Kenneth D. Springer
Registration No. 39,843

JC978 U.S. PTO
09/891533
06/27/01

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 특허출원 2000년 제 81174 호
Application Number

출원년월일 : 2000년 12월 23일
Date of Application

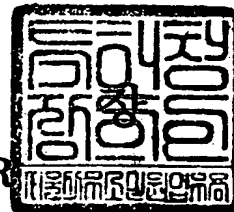
출원인 : 엘지.필립스 엘시디 주식회사
Applicant(s)



2001 03 27
 년 월 일

특 허 청

COMMISSIONER



【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0027		
【제출일자】	2000. 12. 23		
【국제특허분류】	G02F		
【발명의 명칭】	액정표시장치 및 그 제조방법		
【발명의 영문명칭】	Liquid crystal display and manufacturing method of the same		
【출원인】			
【명칭】	엘지 . 필립스 엘시디 주식회사		
【출원인코드】	1-1998-101865-5		
【대리인】			
【성명】	김용인		
【대리인코드】	9-1998-000022-1		
【포괄위임등록번호】	1999-054732-1		
【대리인】			
【성명】	심창섭		
【대리인코드】	9-1998-000279-9		
【포괄위임등록번호】	1999-054731-4		
【발명자】			
【성명의 국문표기】	이준호		
【성명의 영문표기】	LEE, Joun Ho		
【주민등록번호】	690804-1783417		
【우편번호】	702-250		
【주소】	대구광역시 북구 동천동 915번지 칠곡3차 화성타운 105동 702호		
【국적】	KR		
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 김용인 (인) 대리인 심창섭 (인)		
【수수료】			
【기본출원료】	15	면	29,000 원
【가산출원료】	0	면	0 원

【우선권주장료】	0	건	0	원
【심사청구료】	0	항	0	원
【합계】	29,000			원
【첨부서류】	1. 요약서·명세서(도면)_1통			

【요약서】

【요약】

본 발명에 따른 액정표시장치는 일방향으로 형성된 복수개의 게이트라인들($G_0 \sim G_n$)과, 상기 게이트라인들과 교차하는 방향으로 형성된 복수개의 데이터라인들($D_1 \sim D_n$)과, 상기 게이트라인들과 데이터라인에 의해 정의되는 화소영역에 형성되어 해당 게이트라인의 제어에 의해 화상을 표시하는 화소전극들과, 상기 화소전극들 중 상기 두 번째 게이트라인(G_1)에 의해 제어되는 화소전극들의 하층에 형성된 광량조절층을 포함하여 구성되는 것을 특징으로 하며, 본 발명에 따른 액정표시장치 제조방법은 절연기판 상에 게이트라인 및 게이트전극을 형성하는 공정과, 상기 게이트전극을 포함한 기판 상에 게이트절연막을 형성하는 공정과, 상기 게이트전극 상부에 상응하는 게이트절연막에 제 1 반도체층을 형성하고, 상기 화소전극이 형성될 부위에 상응하는 상기 게이트절연막 상에 제 2 반도체층을 형성하는 공정과, 상기 제 1 반도체층의 상부에 소스/드레인 전극을 형성하는 공정과, 상기 소스/드레인 전극을 포함한 기판 전면에 보호막을 형성하는 공정과, 상기 제 2 반도체층 상부의 상기 보호막상에 화소전극을 형성하는 공정을 포함하여 이루어지는 것을 특징으로 한다.

【대표도】

도 4

【색인어】

라인 밝음 현상, 반도체층

【명세서】**【발명의 명칭】**

액정표시장치 및 그 제조방법{Liquid crystal display and manufacturing method of the same}

【도면의 간단한 설명】

도 1은 일반적인 Storage on Gate 방식의 TFT-LCD의 단위 화소 영역을 도시한 평면도.

도 2는 종래 기술에 따른 액정표시장치의 구조 평면도.

도 3은 도 2의 A-A' 선에 따른 액정표시장치의 구조 단면도.

도 4는 본 발명에 따른 액정표시장치의 구조 단면도.

도 5a 내지 5d는 본 발명에 따른 액정표시장치의 제조방법을 설명하기 위한 공정단면도.

도면의 주요부위에 대한 설명

51 : 절연기판

52 : 게이트 절연막

53 : 광량조절층

54, 55 : 데이터라인

56 : 보호막(Passivation)

57 : 화소전극

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<10> 본 발명은 디스플레이 장치에 관한 것으로, 특히 액정표시장치 및 그 제조방법에

관한 것이다.

<11> 박막트랜지스터 액정표시장치(TFT-LCD)의 화소설계 방식은 매우 다양하다. 먼저 설계자는 비정질 실리콘 TFT(a-Si:H TFT)와 폴리실리콘 TFT(Polycrystalline Si TFT) 방식 중 하나를 선택해야 하고, 다음 TFT 구조를 BCE(Back Channel Etched)구조 또는 CHP(Channel Passivated) 구조 또는 다른 여러 구조 중에서 하나를 선택해야 한다. 그 다음에 TFT 배치도와 화소 전극의 디자인을 구상해야 하고, 저장 커패시턴스(Storage Capacitance, 이하 C_{st})의 형태를 결정한다.

<12> C_{st} 의 형태는 공통전극을 만드는 방법에 따라 스토리지 온 커먼(Storage On Common)방식과 스토리지 온 게이트(Storage On Gate)방식이 있다. Storage On Common 방식은 C_{st} 의 공통전극을 별도로 만든 것이고, Storage On Gate 방식은 전단의 게이트배선의 일부분을 C_{st} 의 공통전극으로 쓴다. Storage On Gate 방식의 TFT-LCD는 Storage On Common 방식에 비하여, 별도의 C_{st} 배선이 없기 때문에 개구율이 크고, 데이터라인과 C_{st} 배선의 겹치는 부분이 없으므로 데이터라인의 단선(Open)이 줄어 수율이 높은 장점이 있는 반면, C_{st} 가 게이트배선에 형성되어 게이트선의 신호지연이 크므로 알루미늄(Al) 또는 알루미늄 합금(Al alloy)과 같은 저저항 금속으로 게이트 배선을 만들어야 하고, 화소의 전하를 기준으로 볼 때 완전한 도트 인버전(Dot Inversion), 컬럼 인버전(Column Inversion) 등이 아니므로 상대적으로 화질이 떨어지는 단점이 있다.

<13> 이하, 도면을 참조하여 종래 기술에 따른 액정표시장치를 상세히 설명하기로 한다.

<14> 도 1은 일반적인 Storage on Gate 방식의 TFT-LCD의 단위 화소 영역을 도시한 평면도이다.

<15> 도 1에 도시한 바와 같이, 두 개의 데이터라인(11) 평행하게 배치되어 있으며, 상기 데이터라인(11)에 수직의 방향으로 두 개의 게이트라인(12)이 평행하게 형성되어 있다. 또한, 상기 데이터라인(11)과 게이트라인(12)이 교차하는 부위에 있어서, 소스/드레인전극(13, 14), 게이트 전극(15)으로 이루어지는 박막트랜지스터가 형성되어 있다. 상기 화소영역의 중앙부위에는 드레인전극(14)과 전기적으로 연결되어 있는 화소전극(16)이 형성되어 있다. 상기 화소영역의 상단에는, 화소전극이 신호전압을 충전시킬 수 있도록 도와주는 Cst(17)가 게이트배선의 일부를 이용하여 형성되어 있다.

<16> 도 2는 종래 기술에 따른 액정표시장치의 구조평면도이다.

<17> 일반적으로 액정표시패널은 일정한 간격을 갖고 일방향으로 배열되는 복수개의 게이트라인들($G_0 \sim G_n$)(21)과, 일정한 간격을 갖고 상기 각 게이트 라인(21)에 수직한 방향으로 배열되는 복수개의 데이터라인들($D_1 \sim D_n$)(22)과, 상기 각 복수개의 화소전극들(도시하지 않음)과, 상기 게이트 라인의 신호에 따라 스위칭되어 상기 각 데이터라인을 통해 공급되는 데이터신호를 각 화소전극에 인가하는 복수개의 박막트랜지스터(도시하지 않음)로 구성된다.

<18> 또한, 상기 각 게이트라인 및 데이터라인 일측에는 게이트 구동신호 및 데이터 신호를 공급하기 위한 구동드라이브 IC(23, 24)가 부착되어 있다. 즉, 구동드라이브 IC가 연결될 부분의 게이트라인 및 데이터라인의 끝단에는 패드가 형성된다.

<19> 도 3은 도 1의 A-A' 선에 따른 단면도이다.

<20> 먼저, 하판인 박막트랜지스터 기판에는 절연기판(31) 위에 게이트절연막(32)이 적층되어 있으며, 상기 게이트절연막(32) 상에 1번과 2번 데이터라인(33, 34)이 패터닝되

어 있고 상기 데이터라인들을 포함한 기판 위로 절연 재질의 보호막(Passivation)(35)이 형성되어 있다. 또한, 상기 1번과 2번 데이터라인 사이에 상응하는 상기 보호막(35) 상에 화소전극(36)이 패터닝되어 있다. 상판인 칼라필터기판에는 절연기판(37) 상에 블랙 매트릭스(38)가 일정한 간격을 두고 형성되어 있으며, 상기 블랙매트릭스(38) 사이의 공간에 칼라필터층(39)이 형성되어 있다.

【발명이 이루고자 하는 기술적 과제】

<21> 그러나, 상기와 같은 종래의 액정표시장치 및 그 제조방법은 다음과 같은 문제점이 있었다.

<22> 화소에 인가되는 최종 전압은 게이트 신호에 의한 커플링(Coupling) 현상이 작용된 이후에 고정된다. 즉, V_{gh} 과 V_{gl} 사이의 변동량이 화소에 인가되는 전압의 크기이다. 그러나, 0번 게이트라인(도 2 참조)의 경우, V_{gl} , V_{gh} 의 신호 중 V_{gl} 의 신호만 인가하기 때문에 화소에 인가되는 전압이 다른 게이트라인의 화소에 인가되는 전압과 차이가 발생하게 되어, 1번 게이트라인에 의해 제어되는 화소들에 있어서 라인 밝음 현상이 야기된다.

<23> 일반적으로, 상기와 같은 라인 밝음 현상에 대해 대책으로 0번 게이트라인에 소정의 다른 게이트라인과 동일신호를 인가해 주는 방법으로 상기 라인 밝음 현상을 제어할 수 있으나 추가적인 재료비 소요된다.

<24> 본 발명은 상기와 같은 문제점을 해결하기 위해 안출한 것으로, 상기 1번 게이트라인에 의해 제어되는 화소들의 하층에 비정질 실리콘(a-Si:H) 재질의 반도체층(Active

layer)을 형성시켜 줌으로써 빛의 투과를 막아 액정표시패널의 휘도를 동일하게 유지할 수 있는 액정표시장치를 제공하는데 목적이 있다.

【발명의 구성 및 작용】

<25> 상기 목적을 달성하기 위한 본 발명의 액정표시장치는 일방향으로 형성된 복수개의 게이트라인들(G0~Gn)과, 상기 게이트라인들과 교차하는 방향으로 형성된 복수개의 데이터라인들(D1~Dn)과, 상기 게이트라인들과 데이터라인에 의해 정의되는 화소영역에 형성되어 해당 게이트라인의 제어에 의해 화상을 표시하는 화소전극들과, 상기 화소전극들 중 상기 두 번째 게이트라인(G1)에 의해 제어되는 화소전극들의 하층에 형성된 광량조절층을 포함하여 구성되는 것을 특징으로 하며, 본 발명에 따른 액정표시장치 제조방법은 절연기판 상에 게이트라인 및 게이트전극을 형성하는 공정과, 상기 게이트전극을 포함한 기판 상에 게이트절연막을 형성하는 공정과, 상기 게이트전극 상부에 상응하는 게이트절연막에 제 1 반도체층을 형성하고, 상기 화소전극이 형성될 부위에 상응하는 상기 게이트절연막 상에 제 2 반도체층을 형성하는 공정과, 상기 제 1 반도체층의 상부에 소스/드레인 전극을 형성하는 공정과, 상기 소스/드레인 전극을 포함한 기판 전면에 보호막을 형성하는 공정과, 상기 제 2 반도체층 상부의 상기 보호막상에 화소전극을 형성하는 공정을 포함하여 이루어지는 것을 특징으로 한다.

<26> 패널 화상의 깜박임 현상인 플리커는 공통전극에 인가되는 전압에 대하여 데이터라인의 (+), (-) 전압사이에 차이가 날 때 발생하는 것으로 플리커 수준을 완화시켜 주기 위해서는 TFT-LCD 구조 자체를 변경하는 것 이외에 Cst 용량을 늘려줌으로써 데이터라인의 (+), (-) 전압 차이의 보상을 꾀할 수 있다. 그러나, 스토리지 온 게이트(Storage on Gate) 방식의 TFT-LCD 구조에서 Cst 용량을 증가시키면 Cst 자체가 게이트 라인의 일부

분이기 때문에, V_{gl} , V_{gh} 의 신호 중 V_{gl} 의 신호만 인가되는 0번 게이트라인의 경우 부작용이 발생하게 된다. 대표적인 예로서 1번 게이트라인(G1)에 의해 제어되는 화소전극들에 라인 밝음 현상이 야기된다.

<27> 본 발명에 따른 액정표시장치에 있어서, 화소전극 하층에 형성되어 있는 비정질 실리콘(a-Si:H) 재질의 반도체층은 상기와 같은 라인 밝음 현상을 억제하기 위한 것으로 화소전극으로의 빛의 투과를 억제하는 역할을 한다.

<28> 이하, 도면을 참조하여 본 발명에 따른 액정표시장치 및 그 제조방법을 상세히 설명한다.

<29> 도 4는 본 발명에 따른 액정표시장치의 구조 단면도로서 도 2의 A-A' 선에 일치하는 영역을 나타낸 것이다.

<30> 칼라필터층이 형성되어 있는 상판은 종래기술과 동일하므로 박막트랜지스터가 형성되어 있는 하판의 구조에 대해서만 설명하기로 한다.

<31> 절연기판(51) 상에 게이트전극(도시하지 않음)을 보호하기 위한 게이트절연막(52)이 형성되어 있고, 상기 게이트전극의 상부에 해당하는 게이트 절연막(52) 상에 박막트랜지스터의 채널층인 제 1 반도체층(도시하지 않음)이 형성되고 화소전극이 형성될 부위에 상응하는 상기 게이트절연막 상에 제 2 반도체층(53)이 형성되어 있다. 상기 제 1, 제 2 반도체층은 비정질 실리콘(a-Si:H) 재질이다. 상기 제 2 반도체층(53) 좌우에는 1번과 2번 데이터 라인(54, 55)이 패터닝되어 있으며, 상기 데이터라인을 포함한 기판 상에 절연막 재질의 보호막(Passivation)(56)이 형성되어 있다. 상기 반도체층(53)에 상응하는 보호막(56) 상에 화소전극(57)이 패터닝되어 있다.

- <32> 상기 제 2 반도체층(53)은 빛의 투과 정도에 따라 그 두께를 변화시킬 수 있는데, 상기 반도체층의 패터닝시, 포토리소그래피 공정을 거친 후 식각공정에서 식각속도를 조정함으로써 가능하다. 또한, 포토리소그래피 공정을 이용하여 상기 반도체층의 면적의 조절도 가능하다.
- <33> 도 5a 내지 5d는 본 발명에 따른 액정표시장치의 제조방법을 설명하기 위한 공정 단면도로서, 칼라필터가 형성되어 있는 상판은 종래 기술과 동일하므로 하판의 공정에 대해서만 설명하기로 한다.
- <34> 도 5a에 도시한 바와 같이, 절연기판(51) 상에 실리콘 질화물(SiN_x)과 같은 게이트 절연막(52)을 PECVD(Plasma Enhanced Chemical Vapor Deposition)법을 이용하여 증착한다.
- <35> 이어, 도 5b에 도시한 바와 같이, 상기 게이트 절연막(52) 상에 비정질 실리콘(a-Si:H) 재질의 반도체층(53)을 상기 게이트 절연막(52)에서와 같이 PECVD법을 이용하여 증착한 후, 포토리소그래피 공정, 식각공정, 스트립 공정을 통해 패터닝한다. 여기서, 상기 반도체층(53)은 박막트랜지스터의 채널층인 비정질 실리콘층과 동일한 것으로 별도의 추가공정의 필요 없이 박막트랜지스터의 채널층 형성시 상기 반도체층을 형성한다.
- <36> 이어, 도 5c에 도시한 바와 같이, 상기 반도체층(53)의 좌우에 도전성 금속재료를 스퍼터링(Sputtering)법을 이용하여 증착한 후, 패터닝하여 데이터라인(54, 55)을 형성한다.
- <37> 이어, 도 5d에 도시한 바와 같이, 상기 반도체층(53)과 데이터라인(54, 55)을 포함

한 기판 전면 위로 절연재질의 보호막(56)을 형성하고, 상기 반도체층에 상응하는 보호막(56) 상에 ITO(Indium Tin Oxide) 재질의 투명도전막을 스퍼터링법을 이용하여 증착한 후, 패터닝하여 화소전극(57)을 형성한다.

<38> 이후, 도면에 도시되지 않았지만, 상기 화소전극이 형성된 기판과 칼라필터가 형성되어 있는 기판을 합착하여 액정을 봉입하면 본 발명에 따른 액정표시장치의 제조공정은 완료된다.

【발명의 효과】

<39> 이상 설명한 바와 같이, 본 발명에 따른 액정표시장치 및 그 제조방법은 다음과 같은 효과가 있다.

<40> 1번 게이트라인(도 2 참조)에 의해 제어되는 화소전극 형성시 화소전극 하층에 반도체층을 형성하여 빛의 투과를 억제함으로써, V_{gl} , V_{gh} 의 신호 중 V_{gl} 의 신호만 인가되는 0번 게이트라인(도 2 참조)으로 인한 1번 게이트라인 밝음 현상을 방지할 수 있다.

<41> 또한, 박막트랜지스터의 채널층 형성시에 상기 반도체층을 형성시킴으로써 별도의 추가공정이 요구되지 않으며, 빛의 투과정도에 따라 상기 반도체층의 두께 및 면적을 기존 공정을 통해 가변시킬 수 있는 장점이 있다.

【특허청구범위】**【청구항 1】**

일방향으로 형성된 복수개의 게이트라인들($G0 \sim Gn$);

상기 게이트라인들과 교차하는 방향으로 형성된 복수개의 데이터라인들($D1 \sim Dn$);

상기 각 게이트라인과 데이터라인에 의해 정의되는 화소영역에 형성되어 해당 게이트라인의 제어에 의해 화상을 표시하는 화소전극들;

상기 화소전극들 중 상기 두 번째 게이트라인에 의해 제어되는 화소전극들의 하층에 형성된 광량조절층을 포함하여 구성되는 것을 특징으로 하는 액정표시장치.

【청구항 2】

제 1 항에 있어서, 상기 광량조절층은 반도체층인 것을 특징으로 하는 액정표시장치.

【청구항 3】

제 2 항에 있어서, 상기 반도체층은 비정질 실리콘층인 것을 특징으로 하는 액정표시장치.

【청구항 4】

절연기판 상에 게이트라인 및 게이트전극을 형성하는 공정;

상기 게이트전극을 포함한 기판 상에 게이트절연막을 형성하는 공정;

상기 게이트전극 상부에 상응하는 게이트절연막 상에 제 1 반도체층을 형성하고,
상기 화소전극이 형성될 부위에 상응하는 상기 게이트절연막 상에 제 2 반도체층을 형성하는 공정;

상기 제 1 반도체층의 상부에 소스/드레인 전극을 형성하는 공정;

상기 소스/드레인 전극을 포함한 전면에 보호막을 형성하는 공정;

상기 제 2 반도체층 상부의 상기 보호막 상에 화소전극을 형성하는 공정을 포함하여 이루어지는 것을 특징으로 하는 액정표시장치의 제조방법.

【청구항 5】

제 4 항에 있어서, 상기 제 1, 제 2 반도체층은 비정질 실리콘층인 것을 특징으로 하는 액정표시장치의 제조방법.

【청구항 6】

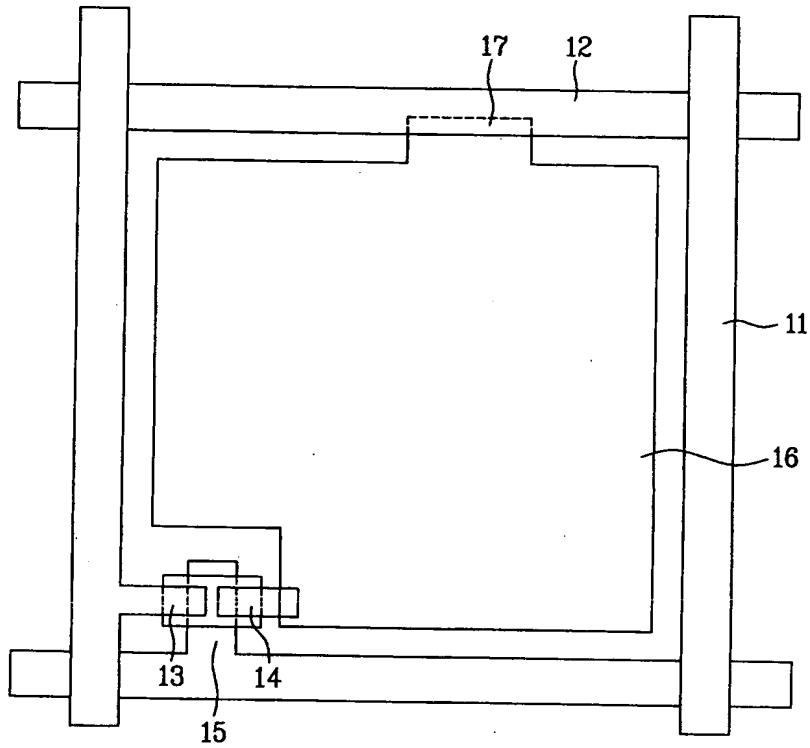
제 4 항에 있어서, 상기 제 2 반도체층의 두께는 빛의 투과 정도에 따라 그 두께를 변화시키는 것을 특징으로 하는 액정표시장치의 제조방법.

【청구항 7】

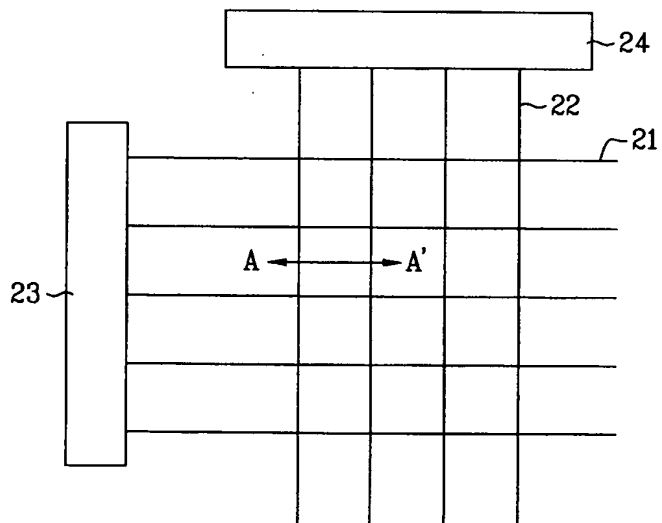
제 6 항에 있어서, 상기 제 2 반도체층은 식각 속도의 조절에 의해 그 두께가 조절되는 것을 특징으로 하는 액정표시장치의 제조방법.

【도면】

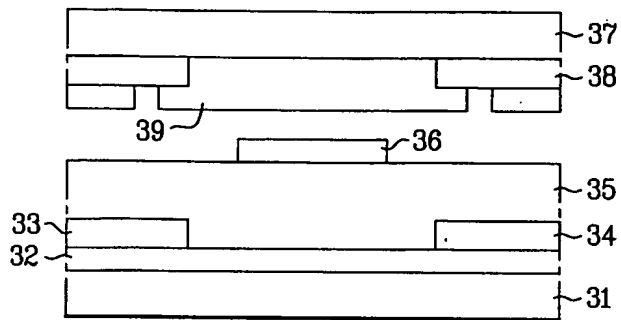
【도 1】



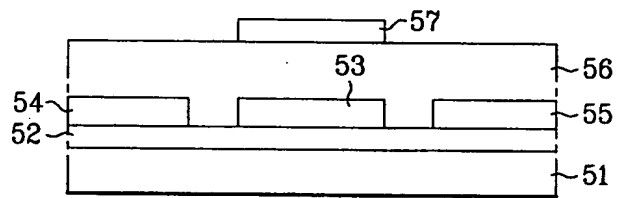
【도 2】



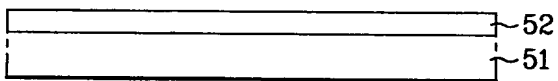
【도 3】



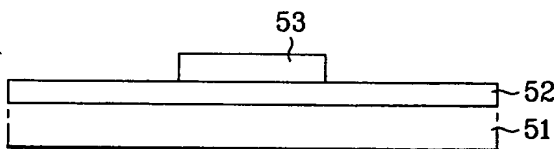
【도 4】



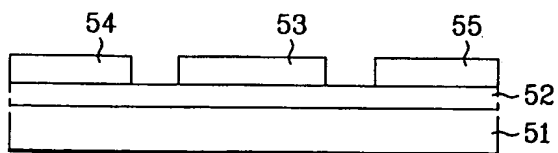
【도 5a】



【도 5b】



【도 5c】



【도 5d】

